

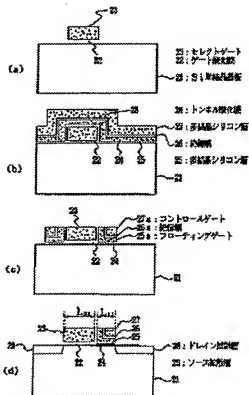
SEMICONDUCTOR NONVOLATILE MEMORY AND FABRICATION THEREOF

Patent number: JP7106446
 Publication date: 1995-04-21
 Inventor: ONO TAKASHI
 Applicant: OKI ELECTRIC IND CO LTD
 Classification:
 - International: H01L21/8247; H01L29/788; H01L29/792; G11C16/02; G11C16/04
 - European:
 Application number: JP19930249244 19931005
 Priority number(s):

Abstract of JP7106446

PURPOSE: To provide a semiconductor nonvolatile memory, and fabrication method thereof, suitable for high integration in which the gate length can be shortened.

CONSTITUTION: In the semiconductor nonvolatile memory having a laminate structure of floating gate and control gate with a select gate being located contiguously thereto, the select gate 23 is formed on a semiconductor substrate 21 through a gate oxide 22. A tunnel oxide 24 thinner than the gate oxide 22, an L-shaped floating gate 25a contiguous to the tunnel oxide 24, and an L-shaped insulation film 26a contiguous to the floating gate 25a are also deposited at least on one side of the select gate 23. A side wall type laminate comprising a substantially square control gate 25a is also provided contiguously to the insulation film 26a thus shortening the first gate length L11 being defined by the floating gate 25a and the control gate 27.



特開平7-106446

(43) 公開日 平成7年(1995)4月21日

(51) Int. Cl.

H01L 21/027

29/786

29/792

識別記号 庁内整理番号

F 1

技術表示箇所

H01L 29/78 371

G11C 17/00 307 D

審査請求 未請求 請求項の数 2 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平5-249244

(22) 出願日 平成5年(1993)10月5日

(71) 出願人 000000235

神電機工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 小野 隆

東京都港区虎ノ門1丁目7番12号 神電機

工業株式会社内

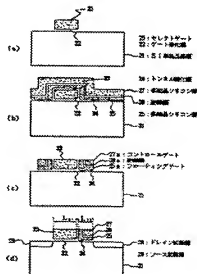
(74) 代理人 井藤士 清水 守 (外1名)

(54) 【発明の名称】 半導体不揮発性記憶装置及びその製造方法

(57) 【要約】

【目的】 ゲート長を小さくできる高集積に達した半導体不揮発性記憶装置及びその製造方法を提供する。

【構成】 フローティングゲートとコントロールゲートの積層構造を有し、かつ、この積層構造に接してセレクトゲートを有する半導体不揮発性記憶装置において、半導体基板21上にゲート酸化膜22を介して形成されるセレクトゲート23と、このセレクトゲート23の少なくとも一方側にゲート酸化膜22より薄く形成されるトンネル酸化膜24と、このトンネル酸化膜24に接するL字状のフローティングゲート25aと、このフローティングゲート25aに接するL字状の絶縁膜26aと、この絶縁膜26aに接する矩形形状のコントロールゲート25aからなるサイドウォール状の積層膜を設け、フローティングゲート25a及びコントロールゲート27によって規定される第1のゲート長L₁を小さくする。



【特許請求の範囲】

【請求項1】 フローティングゲートとコントロールゲートの積層構造を有し、かつ、該積層構造に接してセレクトゲートを有する半導体不揮発性記憶装置において、
(a) 半導体基板上にゲート酸化膜を介して形成されるセレクトゲートと、

(b) 該セレクトゲートの少なくとも一方側に前記ゲート酸化膜より厚く形成されるトンネル酸化膜と、該トンネル酸化膜に接する十字状のフローティングゲートと、
該フローティングゲートに接する十字状の絶縁膜と、該絶縁膜に接する略四角形状のコントロールゲートからなるサイドウォール状の積層膜を設け、

(c) 前記フローティングゲート及び前記コントロールゲートによって規定される第1のゲート長を縮小することを特徴とする半導体不揮発性記憶装置。

【請求項2】 フローティングゲートとコントロールゲートの積層構造を有し、かつ、該積層構造に接してセレクトゲートを有する半導体不揮発性記憶装置の製造方法において、

(a) 半導体基板上にゲート酸化膜を介してセレクトゲートを形成する工程と、

(b) 前記セレクトゲート形成後、前記ゲート酸化膜より薄いトンネル酸化膜を形成する工程と、

(c) 該トンネル酸化膜上にフローティングゲートとなる不純物をドーピングした多結晶シリコン膜、絶縁膜、コントロールゲートとなる不純物をドーピングした多結晶シリコン膜を順次形成する工程と、

(d) 異方性エッチングにより前記セレクトゲートの少なくとも一方側にフローティングゲート、絶縁膜、コントロールゲートよりなる積層膜がサイドウォール状に残るようにエッチングする工程とを順次することを特徴とする半導体不揮発性記憶装置の製造方法。

【発明の存続可能な説明】

【0001】

【従来の利用分野】 本発明は、電気的に書き換えるのできる半導体不揮発性記憶装置（メモリ）及びその製造方法に関するものである。

【0002】

【従来の技術】 従来、このような分野の技術としては、例えば、FIA NEW FLASH-ERASE EPROM CELL WITH A SIDEWALL SELECT-GATE ON ITS SOURCE SIDE、K. Naruke et al., JEDM89 pp603に開示されるような、サイドウォール型セレクトゲートを有する半導体不揮発性メモリは、メモリアル領域の増加を拘限しながら、セレクトゲートを付加することにより、高信頼と高性能を同時に達成しようとするものである。

【0003】 図3はかかる従来の半導体不揮発性メモリの断面図である。図3に示すように、S1単結晶基

板11上に保護のトンネル酸化膜12を介してフローティングゲート13、更に、絶縁膜14を介してコントロールゲート15を積層状に形成し、約記憶層15の一方側にサイドウォール型のセレクトゲート17を配し、更に、ドレイン拡散層18、ソース拡散層19をS1単結晶基板11の表面に配するという構造になっている。

【0004】 ここで、前記セレクトゲート17は、積層したフローティングゲート13及びコントロールゲート15を形成し、ゲート酸化膜16を形成した後、例えば、不純物をドーピングした多結晶シリコン膜を500Å厚膜し、異方性エッチングを施すことにより、積層したフローティングゲート13、及びコントロールゲート15の側壁に、サイドウォール状に前記多結晶シリコン膜を残すことができ、前記サイドウォール中のセレクトゲート17とすることが可能である。なお、多結晶シリコン膜の膜厚が500Åの場合、前記セレクトゲート17のゲート長L1は、0.4μm程度となる。

【0005】

【発明が解決しようとする課題】 しかしながら、上記した従来の半導体メモリセルにおいては、前記フローティングゲート13あるいは前記コントロールゲート15のゲート長L1は、製造ラインのリソグラフィの限界以下にはできないので、例えば、0.6μmルールでは0.6μmが最小寸法となる。

【0006】 他方、前記セレクトゲート17のゲート長L2は、このセレクトゲート17のトランジスタ（Tr）パシスル一層界まで縮小することが可能であるため、例えば、0.4μmとリソグラフィ限界以下とすることができ、前記ゲート長L1と前記ゲート長L2を合計すると、0.6μmと大きな値となってしまうという問題点があった。

【0007】 なお、前記セレクトゲート17のゲート長L2は、前記ゲート酸化膜16の膜厚や前記ソース拡散層19の膜厚方向に縮小、さらに動作電圧等によって異なる値であり、上記の0.4μmという値は、前記ゲート酸化膜16の膜厚が250Å、前記ソース拡散層19の深さが約0.2μmの場合の値である。本発明は、以上述べた前記ゲート長L1とL2の和が大きいという問題点を除去するため、ゲート長（L1とL2の和）を小さくする高信頼に達した半導体不揮発性記憶装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明は、上記目的を達成するために、フローティングゲートとコントロールゲートの積層構造を有し、かつ、該積層構造に接してセレクトゲートを有する半導体不揮発性記憶装置において、半導体基板上にゲート酸化膜を介して形成されるセレクトゲートと、このセレクトゲートの少なくとも一方側に前記ゲート酸化膜より厚く形成されるトンネル酸化膜

と、このトンネル酸化膜に露する1字状のフローティングゲートと、このフローティングゲートに接する1字状の絶縁膜と、該絶縁膜に接する略直角形状のコントロールゲートからなるサイドウォール状の複層膜を設け、前記フローティングゲート及び前記コントロールゲートによって規定される第1のゲート長を短くするようにしたものである。

【0009】また、フローティングゲートとコントロールゲートの複層構造を有し、かつ、該複層構造に接してセレクトゲートを有する半導体不揮発性記憶装置の製造方法において、半導体基板上にゲート酸化膜を介してセレクトゲートを形成する工程と、該セレクトゲート形成後、前記ゲート酸化膜より厚いトンネル酸化膜を形成する工程と、該トンネル酸化膜上にフローティングゲートとなる不純物をドーブした多結晶シリコン層、絶縁膜、コントロールゲートとなる不純物をドーブした多結晶シリコン層を順次形成する工程と、異方性エッチングにより前記セレクトゲートの少なくとも一方の側面にフローティングゲート、絶縁膜、コントロールゲートよりなる複層膜がサイドウォール状に露するようにエッチングする工程とを有するようにしたものである。

【0010】

【作用】本発明によれば、上記したように構成したので、前記セレクトゲートの一方側に前記フローティングゲート及び前記コントロールゲートを、リソグラフィ境界以下の前記ゲート長とし、すなわち、ゲート長 l_1 を従来よりリソグラフィ境界、例えば0.6 μm に比べて、0.3 μm 程度まで短くすることができ、

【0011】したがって、半導体不揮発性記憶装置の高集積化を図ることができる。

【0012】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の実施例を示す半導体不揮発性記憶装置の製造工程断面図である。

(1) まず、図1(a)に示すように、S1半結晶基板21に、絶縁領域を規定するようにLOCOS法等により、フィールド酸化膜を選択的に形成する(図示なし)。その後、ゲート酸化膜22を250Å、S1半結晶基板21上に形成し、次いで、不純物をドーブした多結晶シリコン層を例えば5000Å堆積し、リソグラフィ及びエッチングによりセレクトゲート23を形成する。

【0013】(2) 次に、図1(b)に示すように、トンネル酸化膜24、フローティングゲートとなる不純物をドーブした多結晶シリコン層25、絶縁膜26、コントロールゲートとなる不純物をドーブした多結晶シリコン層27を順次形成する。

(3) 続いて、図1(c)に示すように、異方性エッチングにより、前記セレクトゲート23の側方にフローティングゲート25a、前記絶縁膜26a、コントロール

ゲート27aよりなる複層膜がサイドウォール状に露するようにエッチング処理する。

【0014】この時、前記サイドウォール複層膜の幅、すなわち、ゲート長 l_1 は、フローティングゲート25aとなる多結晶シリコン層25、前記絶縁膜26、前記コントロールゲート27aとなる多結晶シリコン層27の、それぞれの膜厚によって制御することができる。例えば、フローティングゲート25aとなる多結晶シリコン層25の膜厚を1000Å、前記絶縁膜26を200Å、前記コントロールゲート27aとなる多結晶シリコン層27の膜厚を3000Åとすることで、前記ゲート長 l_1 が、約0.3 μm となる前記サイドウォール複層膜を形成することができる。

【0015】しかも、図1(d)に示すように、前記セレクトゲート23の一方側の前記サイドウォール複層膜をレジストで被覆し、他方側の前記サイドウォール複層膜を除去し、ドレイン拡散層28、ソース拡散層29を形成する。なお、前記サイドウォール複層膜を形成する異方性エッチングとして、前記多結晶シリコン層のエッチングには、C1系ガスあるいはB系ガスを用い、前記絶縁膜が酸化膜を含む膜である場合、F系ガスを用いたプラズマエッチングが好適である。

【0016】また、上記実施例では、前記セレクトゲート23の一方側のサイドウォール複層膜を除去したが、これを除去せずに残し、さらなるゲート電極として使用しても差し支えない。この時、前記ソース拡散層29の形成を、前記フローティングゲート25aとなる多結晶シリコン層25の堆積の前行い、前記セレクトゲート23と前記ソース拡散層29をオーバーラップするように、つまり、交差ゲート長(前記ドレイン拡散層28と前記ソース拡散層29の間隔)を、前記一方側の前記サイドウォール複層膜を除去する場合と同等にする 것이可能である。

【0017】このように、セレクトゲートを形成した後には、フローティングゲート、絶縁膜、コントロールゲートよりなる複層膜を、セレクトゲートの一方側にサイドウォール状に異方性エッチングにより形成するようにしたので、前記サイドウォール複層膜のゲート長 l_1 は、従来よりリソグラフィ境界、例えば0.6 μm に比べて0.3 μm とすることができ、

【0018】ここで、セレクトゲート長 l_1 は、リソグラフィによるゲートの場合は(更に露出パターンを形成する手段を用いた場合はこの限りならず)、リソグラフィ境界のため、従来法の0.4 μm から0.6 μm へと太くなるが、セレクトゲート長 l_1 と l_2 の和は、1.0 μm から0.9 μm と従来法に比べ小さくすることが可能である。

【0019】その理由は、セレクトゲート23のゲート酸化膜22は、通常、前記フローティングゲート下の前記トンネル酸化膜より厚いために、前記フローティ

5

グレート部分の方が、前記セレクトグレート部分よりもパンチスルー限界となるグレート長 l_{11} を短くできることによる(図2参照)。ここで、図2はトランジスタ隔壁のグレート長依存特性であり、縦軸に電圧(V)、横軸にグレート長(μm)を示し、○印はセレクトグレートトランジスタを、△印はフローティンググレート(電圧の印加なしの場合)及びコントロールグレート積層トランジスタを示している。

【0020】この図から明らかなように、ここでは、フローティンググレート及びコントロールグレート積層トランジスタのグレート長は0.3 μm 近傍まで縮小することができる。また、フローティンググレート部のトランジスタがパンチスルーしてはならない場合(カットオフしななければならない場合)には、電子が、前記フローティンググレートに蓄積されているというメモリ動作を行うことになる。この場合、前記蓄積された電子が、パンチスルーを抑制する方向に働くので、本発明による前記サイドウォール積層部のグレート長 l_{11} を、前記0.3 μm から、例えば0.25 μm と更に短くすることも可能となる。

【0021】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0022】

【発明の効果】以上、詳細に説明したように、本発明によれば、セレクトグレートを形成した後に、フローティ

グレート、絶縁膜、コントロールグレートよりなる積層部を前記セレクトグレートの一方向にサイドウォール状に異方性エッチングにより形成するようにしたので、このサイドウォール積層部のグレート長 l_{11} を、従来のリソグラフィ限界、例えば0.5 μm に比べて、0.3 μm 近傍まで縮小することができる。

【0023】したがって、半導体不揮発性記憶装置の高集積化を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施例を示す半導体不揮発性記憶装置の製造工程断面図である。

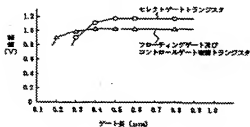
【図2】トランジスタ隔壁のグレート長依存特性を示す図である。

【図3】従来の半導体不揮発性メモリの断面図である。

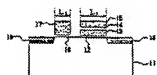
【符号の説明】

- 21 S1半結晶基板
- 22 グート酸化膜
- 23 セレクトグレート
- 24 トンネル酸化膜
- 25、27 不純物をドーブした多結晶シリコン層
- 25a フローティンググレート
- 26、26a 絶縁膜
- 27a コントロールグレート
- 28 ドレイン拡散層
- 29 ソース拡散層

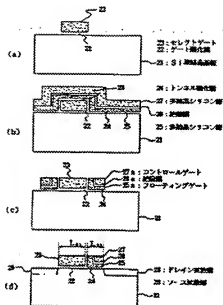
【図2】



【図3】



【図1】



フロントページの続き

(51) Int. Cl.⁴

G11C 16/02

16/04

識別記号

序内発明番号

F I

技術表示箇所